

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



#

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Yamaguchi et al. Art Unit: TBD
Serial No.: 10/087,556 Examiner: TBD
Filed: 03/01/02 Docket No.: TI-31471
For: SEMICONDUCTOR DEVICE AND BUMP FORMATION METHOD

6-28-02
0400
#4
Priority
Paper
8-6-02
arg

TRANSMITTAL LETTER ACCOMPANYING CERTIFIED COPY OF
PRIORITY APPLICATION UNDER 35 U.S.C. §119

Assistant Commissioner for Patents
Washington, DC 20231

MAILING CERTIFICATE UNDER 37 C.F.R. §1.8(a)
I hereby certify that the above correspondence is being deposited with
the U.S. Postal Service as First Class Mail in an envelope addressed
to: Assistant Commissioner for Patents, Washington, D.C. 20231.

6-21-02
Date
Marianna Smith
Marianna Smith

Dear Sir:

Submitted herewith is a certified copy of Japanese Patent Application No. 2001-061381,
filed on 06 March 2001, in the Japanese Patent Office and from which priority under 35 U.S.C.
§119 is claimed for the above-identified application.

Respectfully submitted,

Michael K. Skrehot
Attorney for Applicants
Reg. No. 36,682

Texas Instruments Incorporated
P.O. Box 655474, MS 3999
Dallas, TX 75265
Phone: (972) 917-5653
Fax: (972) 917-4418

BEST AVAILABLE COPY



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 3月 6日

出 願 番 号

Application Number:

特願2001-061381

[ST.10/C]:

[JP2001-061381]

出 願 人

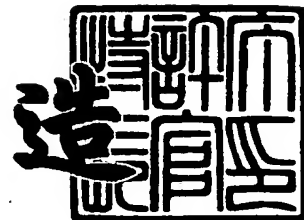
Applicant(s):

日本テキサス・インスツルメンツ株式会社

2002年 5月28日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3040352

TJ-31471 (2000J093) US

【書類名】 特許願

【整理番号】 PNX12004

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 21/60

【発明者】

 【住所又は居所】 大分県速見郡日出町大字川崎字高尾 4 2 6 0 日本テキ
 サス・インスツルメンツ株式会社内

 【氏名】 山口 克己

【発明者】

 【住所又は居所】 大分県速見郡日出町大字川崎字高尾 4 2 6 0 日本テキ
 サス・インスツルメンツ株式会社内

 【氏名】 岡崎 朋広

【特許出願人】

 【識別番号】 390020248

 【住所又は居所】 東京都新宿区西新宿六丁目 2 4 番 1 号

 【氏名又は名称】 日本テキサス・インスツルメンツ株式会社

 【代表者】 生駒 俊明

【代理人】

 【識別番号】 100086564

 【弁理士】

 【氏名又は名称】 佐々木 聖孝

【手数料の表示】

 【予納台帳番号】 034290

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9206516

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びバンプ形成方法

【特許請求の範囲】

【請求項 1】 半導体チップの主面上の電極に金属膜を堆積させて形成されるほぼ平坦な頂面を有するバンプが設けられている半導体装置。

【請求項 2】 前記バンプの径がバンプ下部から上部に至る間で少なくとも 1 回段階的に縮小する請求項 1 に記載の半導体装置。

【請求項 3】 前記バンプが径の異なる複数の実質的な円柱体を上段にいくほど径が小さくなる順に同軸上に多段に重ねた形状を有している請求項 2 に記載の半導体装置。

【請求項 4】 前記バンプが金メッキで形成される請求項 1 ～ 3 のいずれかに記載の半導体装置。

【請求項 5】 電子回路がモノリシックに形成されている半導体基板の主面上の所定位置に電極パッドを形成する工程と、

前記半導体基板の主面上に前記パッドが露出するようにパッシベーション膜を形成する工程と、

前記電極パッドおよび前記パッシベーション膜の上に電解メッキ用のシード層を形成する工程と、

前記シード層上に第 1 のレジスト膜を形成する工程と、

前記第 1 のレジスト膜をパターニングして、前記電極パッド上に所定形状の第 1 の開口部が形成されるように前記第 1 のレジスト膜を局所的に除去する工程と

パターニングされた前記第 1 のレジスト膜をマスクとして、前記第 1 の開口部内に導電性金属からなる第 1 のメッキ膜を形成する工程と、

前記第 1 のレジスト膜および前記第 1 のメッキ膜上に第 2 のレジスト膜を形成する工程と、

前記第 2 のレジスト膜をパターニングして、前記第 1 のメッキ膜の中心部の上に所定形状の第 2 の開口部が形成されるように前記第 2 のレジスト膜を局所的に除去する工程と、

パターニングされた前記第 2 のレジスト膜をマスクとして、前記第 2 の開口部内に導電性金属からなる第 2 のメッキ膜を形成する工程と、

前記第 1 および第 2 のレジスト膜を除去する工程と、

前記第 1 および第 2 のメッキ膜をマスクとして、前記パッシベーション膜上のシード層を除去する工程と

を有する半導体装置におけるバンプ形成方法。

【請求項 6】 電子回路がモノリシックに形成されている半導体基板の主面上の所定位置に電極パッドを形成する工程と、

前記半導体基板の主面上に前記電極パッドが露出するようにパッシベーション膜を形成する工程と、

前記電極パッドおよび前記パッシベーション膜の上に電解メッキ用のシード層を形成する工程と、

前記シード層上に第 1 のレジスト膜を形成する工程と、

前記第 1 のレジスト膜をパターニングして、前記電極パッド上に所定形状の第 1 の開口部が形成されるように前記第 1 のレジスト膜を局所的に除去する工程と

前記電極パッド上の開口部を前記第 1 のレジスト膜の上面の高さで閉塞するように前記第 1 のレジスト膜上に予め固形フィルムとして形成されている第 2 のレジスト膜を貼り付ける工程と、

前記第 2 のレジスト膜をパターニングして、前記電極パッドの中心部の上方に所定形状の第 2 の開口部が形成されるように前記第 2 のレジスト膜を局所的に除去する工程と、

パターニングされた前記第 2 のレジスト膜をマスクとして、少なくとも前記第 2 のレジスト膜の下面を越える高さまで前記第 1 および第 2 の開口部内に導電性金属からなるメッキ膜を形成する工程と、

前記第 1 および第 2 のレジスト膜を除去する工程と、

前記メッキ膜をマスクとして、前記パッシベーション膜上のシード層を除去する工程と

を有する半導体装置におけるバンプ形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の実装技術に係り、特にフリップチップ方式におけるバンプ構造およびバンプ形成方法に関する。

【0002】

【従来の技術】

フリップチップ方式は、ワイヤレスボンディング法の一つであり、半導体チップ上の電極にバンプを設け、チップをフェイスダウン（下向き）でプリント基板の導体パターン面に直接接続させる実装技術である。

【0003】

従来より、金を素材とするバンプとして、図8に示すようなスタッド型のバンプ100が知られている。一般に、この種のスタッドバンプ100は金線を用いて作られる。より詳細には、キャピラリ（図示せず）からはみ出させた金線（図示せず）の先端部をトーチ（図示せず）からのスパークまたは炎で溶かしてボール状に形成してから半導体チップ102上の電極パッド104に当て、キャピラリを介して圧力と超音波を印加して金線先端部を電極パッド104にボンディングする。次いで、金線を引き上げると根元付近で千切れ、スタッド状の金線先端部つまりバンプ100が電極パッド104上に残る。なお、加工中は半導体チップ102を載置するステージ（図示せず）側から所定温度で熱を与える。こうして、このスタッドバンプ100は、ボンディング（ボールボンド）で形成されるほぼ半球状の台座部100aと、金線の引き千切りで形成される先細り状のテール部100bとで構成される。図8において、電極パッド104の回りを取り囲むようにして半導体チップ102上に被着されている膜106は表面保護膜またはパッシベーション膜である。

【0004】

このような半導体チップ102をフリップチップ方式でプリント基板に実装するために、通常は超音波ボンディング法と熱圧着法を併用する方法が用いられる。より詳細には、図9の（A）に示すように、プリント基板108に対して半導

体チップ102をフェイスダウン（下向き）で向き合わせて、各スタッドバンプ100のテール部100bの先端を基板上の導体膜110に当て、プリント基板108を載置するステージ（図示せず）側から所定温度で熱を加える一方で、半導体チップ102の上方から超音波振動体（図示せず）により超音波を印加する。そうすると、図9の（B）に示すように、スタッドバンプ100はテール部100bの先端側から潰れるようにして導体110に圧着され、終いには台座部100aが導体膜110にぴったりと接合される。

【0005】

【発明が解決しようとする課題】

上記のような従来のスタッドバンプは、XYステージ上で半導体チップ102をXY方向に送り各電極パッド104上で金線を引き千切って作られるものであるから、バンプの位置や形状寸法がばらつきやすい。しかも、各電極パッド104上にスタッドバンプ100を1個ずつシリアルに（順に）形成するので、チップまたはウエハ当たりのバンプ数が多くなるほどそれに比例して加工時間が長くなる。

【0006】

また、スタッドバンプ100のほぼ上半分を占めるテール部100bが引き千切りで先細りになっているため、そこにプローブ装置のプローブピンを安定確実に当てることは非常に難しく、バンプ形成後のプロービングテストは実際上不可能である。さらに、スタッドバンプ100のテール部100bが再結晶化していて堅くなっており、しかも先細りで尖っているために、電極パッド104に対する圧着がスムーズにいかなかったり、ウエハーケースやチップトレイによる搬送中に容器の蓋等に触れると、容易に変形してしまうという不都合もある。

【0007】

また、上記のようにフリップチップ実装において超音波熱圧着法を用いる場合は、バンプ形成時と併せて2回の超音波熱圧着によるストレスをチップ102に与えるはめになり、パッド104や内部の集積回路が損傷するおそれがある。

【0008】

本発明は、上記のような従来技術の問題点に鑑みてなされたもので、バンプの

位置や形状寸法の精度を向上させて高信頼度のフリップチップ実装を実現する半導体装置およびバンプ形成方法を提供することを目的とする。

【0009】

本発明の別の目的は、バッチ処理によるバンプ形成加工によりバンプ1個当たりのコストを低減する半導体装置およびバンプ形成方法を提供することにある。

【0010】

本発明の別の目的は、バンプ形成後のプローピングテストを可能とする半導体装置およびバンプ形成方法を提供することにある。

【0011】

本発明の他の目的は、バンプの物理的強度を高めて実装時の加工性や搬送時の信頼性を向上させる半導体装置およびバンプ形成方法を提供することにある。

【0012】

【課題を解決するための手段】

上記の目的を達成するために、本発明の半導体装置は、半導体チップの主面上の電極に金属膜を堆積させて形成されるほぼ平坦な頂面を有するバンプが設けられる構成とした。この構成によれば、バンプの頂面が平坦面に形成されているため、プローブピンをバンプ（頂面）に安定確実に当てることができ、バンプ形成後のプローピングテストを実施できる。

【0013】

本発明の半導体装置において、好ましくは、バンプの径がバンプ下部から上部に至る間で少なくとも1回段階的に縮小する構成としてよい。この場合、より好ましくは、バンプが径の異なる複数の実質的な円柱体を上段にいくほど径が小さくなる順に同軸上に多段に重ねた形状を有する構成としてよい。かかる構成により、バンプに台座部とテール部を持たせることができ、フリップチップ実装をより効率的かつ正確に行うことができる。本発明におけるバンプの好ましい素材は金メッキである。

【0014】

本発明の第1のバンプ形成方法は、電子回路がモノリシックに形成されている半導体基板の主面上の所定位置に電極パッドを形成する工程と、前記半導体基板

の主面上に前記パッドが露出するようにパッシベーション膜を形成する工程と、前記電極パッドおよび前記パッシベーション膜の上に電解メッキ用のシード層を形成する工程と、前記シード層上に第 1 のレジスト膜を形成する工程と、前記第 1 のレジスト膜をパターニングして、前記電極パッド上に所定形状の第 1 の開口部が形成されるように前記第 1 のレジスト膜を局所的に除去する工程と、パターニングされた前記第 1 のレジスト膜をマスクとして、前記第 1 の開口部内に導電性金属からなる第 1 のメッキ膜を形成する工程と、前記第 1 のレジスト膜および前記第 1 のメッキ膜上に第 2 のレジスト膜を形成する工程と、前記第 2 のレジスト膜をパターニングして、前記第 1 のメッキ膜の中心部の上に所定形状の第 2 の開口部が形成されるように前記第 2 のレジスト膜を局所的に除去する工程と、パターニングされた前記第 2 のレジスト膜をマスクとして、前記第 2 の開口部内に導電性金属からなる第 2 のメッキ膜を形成する工程と、前記第 1 および第 2 のレジスト膜を除去する工程と、前記第 1 および第 2 のメッキ膜をマスクとして、前記パッシベーション膜上のシード層を除去する工程とを有する。

【 0 0 1 5 】

本発明の第 2 のバンプ形成方法は、電子回路がモノリシックに形成されている半導体基板の主面上の所定位置に電極パッドを形成する工程と、前記半導体基板の主面上に前記電極パッドが露出するようにパッシベーション膜を形成する工程と、前記電極パッドおよび前記パッシベーション膜の上に電解メッキ用のシード層を形成する工程と、前記シード層上に第 1 のレジスト膜を形成する工程と、前記第 1 のレジスト膜をパターニングして、前記電極パッド上に所定形状の第 1 の開口部が形成されるように前記第 1 のレジスト膜を局所的に除去する工程と、前記電極パッド上の開口部を前記第 1 のレジスト膜の上面の高さで閉塞するように前記第 1 のレジスト膜上に予め固形フィルムとして形成されている第 2 のレジスト膜を貼り付ける工程と、前記第 2 のレジスト膜をパターニングして、前記電極パッドの中心部の上方に所定形状の第 2 の開口部が形成されるように前記第 2 のレジスト膜を局所的に除去する工程と、パターニングされた前記第 2 のレジスト膜をマスクとして、少なくとも前記第 2 のレジスト膜の下面を越える高さまで前記第 1 および第 2 の開口部内に導電性金属からなるメッキ膜を形成する工程と、

前記第 1 および第 2 のレジスト膜を除去する工程と、前記メッキ膜をマスクとして、前記パッシベーション膜上のシード層を除去する工程とを有する。

【0016】

本発明のバンプ形成方法によれば、レジスト（フォトリソグラフィ）技術およびメッキ技術を用いることにより、半導体ウエハの段階でバンプをバッチ処理で形成できる。

【0017】

【発明の実施の形態】

以下、図 1～図 7 を参照して本発明の好適な実施形態を説明する。

【0018】

図 1 に、本発明の一実施形態による半導体装置の要部の断面構造を示す。図 2 に、この半導体装置におけるバンプの外観形状を示す。

【0019】

この実施形態の半導体装置では、図示のように、半導体チップ 10 の主面上に形成された電極パッド 12 の上に円柱 2 段重ね形または断面凸形のバンプ 14 が設けられる。ここで、円柱 2 段重ね形（断面凸形）とは、第 1 の直径を有する第 1 の円柱体の上に該第 1 の直径よりも小さな第 2 の直径を有する第 2 の円柱体と同軸上に多段に重なっている形状を意味する。この実施形態における円柱 2 段重ね形（断面凸形）のバンプ 14 は、第 1 の円柱体からなる台座部 14 a と第 2 の円柱体からなるテール部 14 b とからなる。かかるバンプ形状においては、テール部 14 b の頂面（バンプ頂面）および台座部 14 a の上面がそれぞれ平坦であること、テール部 14 b が台座部 14 a の上面から垂直または直角に一定の径（太さ）で直立していること等が特徴づけられる。

【0020】

かかる円柱 2 段重ね形のバンプ 14 は後述するようにレジスト（フォトリソグラフィ）技術およびメッキ技術を用いて形成されてよく、バンプ材料としてはボンディング性とメッキ性に優れているものであれば任意の導電性金属が可能であるが、一般には金（Au）が好ましい。バンプ 14 を金メッキで形成するには、十分なメッキ膜厚つまりバンプ高さを得る点で電解メッキ法を用いるのが好まし

い。この場合、電解メッキ処理の際に電極パッド12上に被着されたシース層16がバンプ形成後もバンプ14の下に残る。このシース層16は、フリップチップ実装のボンディングの際にバンプ上方から受ける圧力またはストレスに対してパッド12を保護する機能も兼ねており、たとえばTiWで構成されてよい。

【0021】

半導体チップ10は、常法の半導体プロセスにより、シリコン基板の主面上に電子回路をモノリシックに形成し、その上に層間絶縁膜（図示せず）を介して所定位置に電極パッド12を配置し、各パッド12を取り囲むようにたとえばSi₃N₄からなるパッシベーション膜18を被着している。電極パッド12は、たとえばアルミニウム銅合金（AlCu）からなり、下地膜つまり層間絶縁膜（SiO₂）との間にたとえばTiWからなるバリアメタルを介在させてよい。

【0022】

この実施形態の半導体装置では、バンプ14の頂面が平坦面に形成されているため、図1に示すように、プローブピン20をバンプ14に安定確実に当てることができる。バンプ14のサイズは、たとえば、台座部14aの直径および高さをそれぞれ122 μ mおよび23 μ m、テール部14bの直径および高さをそれぞれ43 μ mおよび15 μ mに選んでよい。

【0023】

図3に、この実施形態の半導体装置に係るフリップチップ実装の一例を示す。この例は、図8の従来技術と同様に、超音波ボンディング法と熱圧着法を併用するものである。すなわち、図3の（A）に示すように、プリント基板22に対して半導体チップ10をフェイスダウン（下向き）で向き合わせて、各バンプ14のテール部14bの先端を基板上の導体膜24に当て、プリント基板22を載置するステージ（図示せず）側から所定温度で熱を加える一方で、半導体チップ10の上方から超音波振動体（図示せず）により超音波を印加する。そうすると、図3の（B）に示すように、バンプテール部14bの先端側から潰れるようにして導体膜24に圧着され、終いにはバンプ台座部14aが導体膜24にぴったりと接合される。なお、プリント基板22は、たとえばエポキシ樹脂等からなる基板本体の表面に絶縁膜を被着させたものでよく、基板上の導体膜24はたとえば

銅メッキ膜または銅箔からなりその表面にニッケル合金（たとえばNi-Au）の薄膜を被せたものでよい。

【0024】

この実施形態においては、半導体チップ10上の電極パッド12にバンプ14が金メッキ膜として設けられるため、バンプ形成時にパッド12およびその付近の回路部にストレスが加わることはない。したがって、フリップチップ実装において上記のように超音波ボンディング法を用いても、電極パッド12には1回切りのストレスを与えるだけであり、ダメージを回避できる。

【0025】

また、半導体チップ10のバンプ14はレジスト（フォトリソグラフィ）技術およびメッキ技術を用いて形成されるため、バンプ位置および形状寸法の精度が高く、プリント基板22側の各対応する導体膜24上に正確に位置合わせできる。その上、バンプ14のテール部14bが再結晶部分ではなく、バンプ全体が均一な材質（金メッキ）であるため、導体膜24に対して良好な圧着性またはボンディング特性が得られる。また、バンプ14のテール部14bが円柱体で大きな物理的強度を有するので、フリップチップ実装前の保管ないし搬送中にウエハケースやチップトレイの蓋等に触れても、バンプ14は変形しにくい。

【0026】

図4に、この実施形態の半導体装置に適用可能なフリップチップ実装の別の例を示す。このフリップチップ実装法は、半導体チップ10側のバンプ14とプリント基板22側の導体膜24との間に導電性フィラーまたはペースト26を介在させてこの導電性フィラー26を介して両者間の電氣的接続を得るとともに、半導体チップ10とプリント基板22との間に熱収縮硬化性アンダーフィル剤28を充填してこのアンダーフィル剤28の熱収縮力によって両者間を一体結合するものである。

【0027】

図4の（A）に示すように、半導体チップ10をフェイスダウンにしてバンプ14のテール部14bの回りに予め導電性フィラー26を転写（付着）させておく。テール部14bと台座部14aとの間に直角の段差があり、この段差部に導

電性フィラー 26 が良好に転写して安定に保持される。

【0028】

図4の(B)に示すように、プリント基板22に対して半導体チップ10をフェイスダウンで重ね合わせ、各バンプ14に付着している導電性フィラー26が基板上の各導体膜24にも付くようにすればよい。バンプ14のテール部14bは導体膜24に当接してもよいが、当接しなくてもよい。

【0029】

図4の(C)に示すように、熱収縮硬化性アンダーフィル剤28は半導体チップ10とプリント基板22との間の空間を満たして各部に付着し、加熱により収縮硬化してモールドを形成する。

【0030】

次に、図5につき、本実施形態の半導体装置におけるバンプ14を形成するための第1の方法を工程順に説明する。なお、図の工程は全て半導体ウエハの段階で行われる。

【0031】

まず、半導体チップ10のシリコン基板の主面上に常法の半導体プロセスにより集積回路を形成し、その上に層間絶縁膜(図示せず)を介して電極パッド12およびパッシベーション膜18を形成した上で、先ずステップ[P1]でウエハ(チップ10)の主面を洗浄し、次いでメッキ工程の前処理として逆スパッタリングにより粗面化する(図5の(a))。

【0032】

次に、ステップ[P2]で、スパッタリングにより、半導体チップ10の主面上の全面に電解メッキ用のシード層16としてたとえばチタン・タングステン(TiW)膜を被着する(図5の(b))。

【0033】

次に、ステップ[P3]で、たとえばスピンコート法によりシード層16上にレジスト液を塗布し、乾燥させて、レジスト膜30を形成する(図5の(c))。ここで、レジスト膜30の膜厚をバンプ14の台座部14aの高さ(設定値)付近に合わせるのが好ましい。

【0034】

次に、ステップ [P4] で、レジスト膜 30 をパターニング（露光／現像）し、電極パッド 12 上に所定の口径を有する開口部 32 を形成する（図 5 の (d)）。この開口部 32 の口径は、バンプ 14 の台座部 14 a の径を規定する。

【0035】

次に、ステップ [P5] で、プラズマエッチングにより、開口部 32 内の有機物汚染を除去してシード層 16 の露出面をクリーニングする。

【0036】

次に、ステップ [P6] で、レジスト膜 30 をマスクとして電解メッキ法により、開口部 32 内のシード層 16 上に、好ましくは開口部 32 の中がぴったり埋まるように、金メッキ膜 34 を形成する（図 5 の (e)）。この金メッキ膜 34 は、バンプ 14 の台座部 14 a を構成する。なお、シード層 16 は電解メッキ処理においてカソードとして機能するものであるから、当該半導体ウエハの端部で一部露出してメッキ電源側のカソード電極に電氣的に接続されてよい。

【0037】

次に、ステップ [P7] で、たとえばスピンコート法によりレジスト膜 30 および金メッキ膜 34 上にレジスト液を塗布し、乾燥させて、上層のレジスト膜 36 を形成する（図 5 の (f)）。ここで、この上層レジスト膜 36 の膜厚をバンプ 14 のテール部 14 b の高さ（設定値）付近に合わせるのが好ましい。

【0038】

次に、ステップ [P8] で、上層レジスト膜 36 をパターニング（露光／現像）し、金メッキ膜 34 の中心部の上に所定の口径を有する開口部 38 を形成する（図 5 の (g)）。この開口部 38 の口径は、バンプ 14 のテール部 14 b の径を規定する。

【0039】

次に、ステップ [P9] で、プラズマエッチングにより、開口部 38 内の有機物汚染を除去して金メッキ膜 34 の露出面をクリーニングする。

【0040】

次に、ステップ [P10] で、上層レジスト膜 36 をマスクとして電解メッキ法

により、開口部 3 8 内の金メッキ膜 3 4 上に、好ましくは開口部 3 8 の中がびったり埋まるように、上層の金メッキ膜 4 0 を形成する（図 5 の (h)）。この上層金メッキ膜 4 0 は、バンプ 1 4 のテール部 1 4 b を構成する。

【 0 0 4 1 】

次に、ステップ [P11] で、アッシングにより、両層のレジスト膜 3 0, 3 6 を全て除去する。

【 0 0 4 2 】

次いで、ステップ [P12] で、金メッキ膜（3 4, 3 8）のバンプ 1 4（1 4 a, 1 4 b）を所定温度でアニールして、高密度化する（図 5 の (i)）。

【 0 0 4 3 】

次いで、ステップ [P13] で、バンプ 1 4 をマスクとして、エッチングによりシード層 1 6 を除去する（図 5 の (j)）。この結果、バンプ 1 4 と電極パッド 1 2 の間にだけシード層 1 6 が残る。最後に、ステップ [P14] で洗浄する。

【 0 0 4 4 】

上記のようにして半導体チップ 1 0 の主面上にバンプ 1 4 を形成した後、プローバによりチップ良品検査を行う。図 1 に示したように、この実施形態における 2 段円柱形（断面凸形）のバンプ 1 4 に対してはプローブピン 2 0 を安定確実に当てることができるので、信頼性の高いプロービングテストを実施できる。そして、プロービングテストを行ってから、ダイシングにより当該半導体ウエハを個々のチップ 1 0 に分割してよい。

【 0 0 4 5 】

図 6 に、本実施形態の半導体装置におけるバンプ 1 4 を形成するための第 2 の方法を示す。このバンプ形成方法において、最初のステップ<P1>～<P4>までの工程は、上記第 1 の方法におけるステップ [P1] ～ [P4] と同じでよい。

【 0 0 4 6 】

しかし、ステップ<P5>で、レジスト膜 3 0 上に上層レジスト膜 4 2 として固形のフィルムレジストを貼り付ける（図 6 の (e)）。この上層レジスト膜 4 2 の膜厚は、バンプ 1 4 のテール部 1 4 b の高さ（設定値）付近に合わせるのが好ましい。この上層レジスト膜 4 2 によって、下層レジスト膜 3 0 に形成されてい

た電極パッド 1 2 上の開口部 3 2 はいったん閉じられる。

【0047】

次に、ステップ<P6>で、上層レジスト膜 4 2 をパターンニング（露光／現像）し、電極パッド 1 2 の中心部の上に所定の口径を有する開口部 4 4 を形成する（図 6 の（f））。この開口部 4 4 の口径はバンプ 1 4 のテール部 1 4 b の径を規定する。この上層レジスト膜 4 2 における開口部 4 4 により、下層レジスト膜 3 0 側の開口部 3 2 は開口部 4 4 とつながって（合わさって）断面凸形の開口部を形成する。

【0048】

次に、ステップ<P7>で、プラズマエッチングにより、開口部 3 8, 4 4 内の有機物汚染を除去してシード層 1 6 の露出面をクリーニングする。

【0049】

次に、ステップ<P8>で、下層レジスト膜 3 0 および上層レジスト膜 4 2 をマスクとして電解メッキ法により、開口部 3 2, 4 4 内の電極パッド 1 2 上に、好ましくは開口部 3 2, 4 4 の中がぴったり埋まるように、断面凸形つまり円柱 2 段重ね形の金メッキ膜 4 6 を 1 回のメッキ工程で形成する（図 6 の（g））。

【0050】

後続の工程<P9>～<P12>は、上記第 1 の方法におけるステップ [P11] ～ [P14] と実質的に同じである。

【0051】

上記したように、この実施形態においては、レジスト（フォトリソグラフィ）技術およびメッキ技術を用いて半導体ウエハの段階で半導体チップ 1 0 のバンプ 1 4 をバッチ処理で形成できる。このため、チップないしウエハ当たりのバンプ数を増やしても、加工時間の増大を来さなくて済み、バンプコストを大幅に低減できる。

【0052】

上記の実施形態では半導体チップ 1 0 のバンプ 1 4 を金メッキで構成したが、他の金属メッキを用いることも可能である。また、無電解メッキも、十分なメッキ膜厚が得られるものであれば、使用可能である。本発明におけるバンプ形状は

2段円柱形（断面凸形）に限定されるものではなく、種々の変形が可能である。

【0053】

たとえば、図7に示すように、径の異なる円柱体を3本同軸上に重ねた形状つまり円柱3段重ね形のバンプ形状14'も可能である。この場合、第2の円柱体14bの上にこの円柱体14bよりも細径の第3の円柱体14cが同軸上に多段に重なり、この最上段円柱体14cがテール部の先端部を構成する。かかる円柱3段重ね形のバンプ形状14'によれば、3層のメッキ膜を重ねることによりバンプ高さを容易に拡張できるとともに、バンプ全体の形状、特にテール部の形状をよりフレキシブルに設計することができる。また、本発明におけるバンプの横断面形状を楕円形や多角形とすることも可能である。

【0054】

上述した実施形態においてはバンプの材料として金を例に説明したが、金以外の材料として、ニッケル（Ni）、銅（Cu）、パラジウム（Pd）等を用いることができることは当業者には明らかであろう。

【0055】

【発明の効果】

以上説明したように、本発明の半導体装置またはバンプ形成方法によれば、バンプの位置や形状寸法の精度を向上させて高信頼度のフリップチップ実装を実現することができる。また、バッチ処理のバンプ形成によりバンプコストを低減できることや、バンプ形成後のプロービングテストが可能であること、さらにはバンプの変形を極力少なくすることができること等の利点もある。

【図面の簡単な説明】

【図1】

本発明の一実施形態による半導体装置の要部の構造を示す略断面図である。

【図2】

実施形態におけるバンプの外観形状を示す斜視図である。

【図3】

実施形態の半導体装置に係るフリップチップ実装の一例を示す図である。

【図4】

実施形態の半導体装置に適用可能なフリップチップ実装の別の例を示す図である。

【図 5】

実施形態における第 1 のバンプ形成方法の工程を示す図である。

【図 6】

実施形態における第 2 のバンプ形成方法の工程を示す図である。

【図 7】

実施形態におけるバンプ形状の一変形例を示す断面図である。

【図 8】

従来のスタッドバンプを有する半導体装置の構成を示す略断面図である。

【図 9】

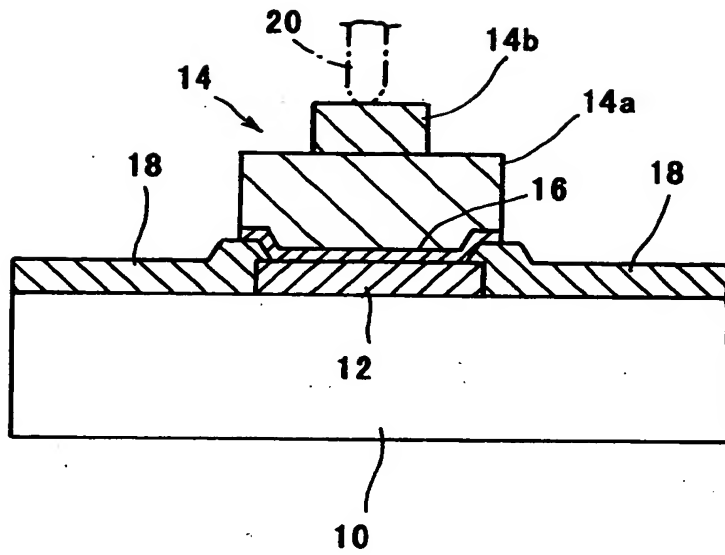
従来の半導体装置に係るフリップチップ実装の一例を示す図である。

【符号の説明】

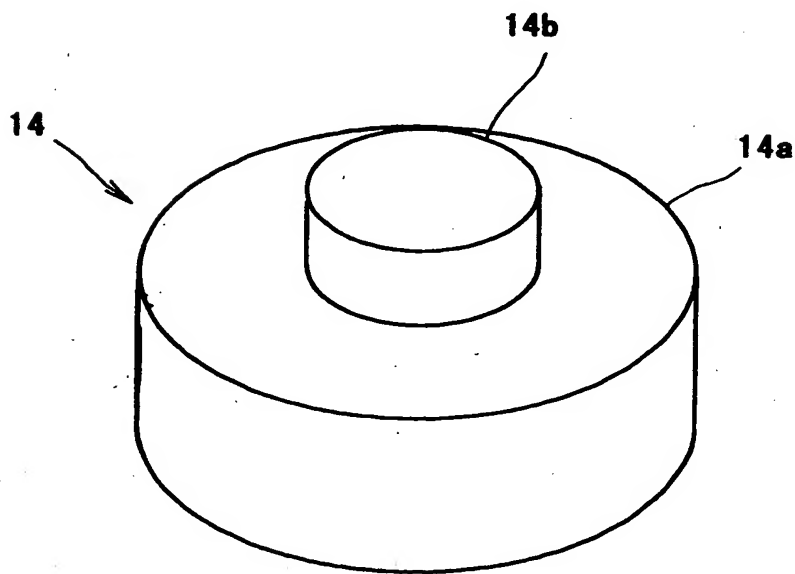
- 1 0 半導体チップ
- 1 2 電極パッド
- 1 4 バンプ
- 1 4 a 台座部
- 1 4 b テール部
- 1 6 シード層
- 1 8 パッシベーション膜
- 3 0, 3 6 レジスト膜
- 3 2, 3 8 開口部
- 3 4, 4 0 金メッキ膜
- 4 2 フィルムレジスト
- 4 4 開口部
- 4 6 金メッキ膜

【書類名】 図面

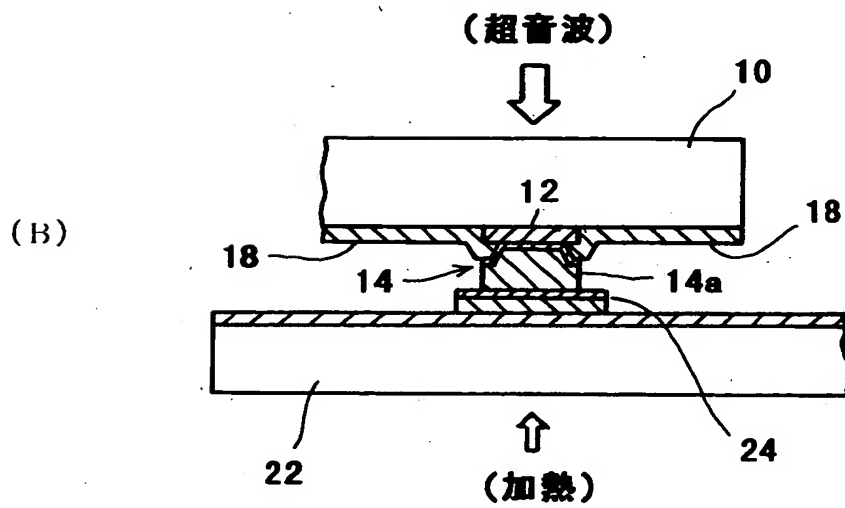
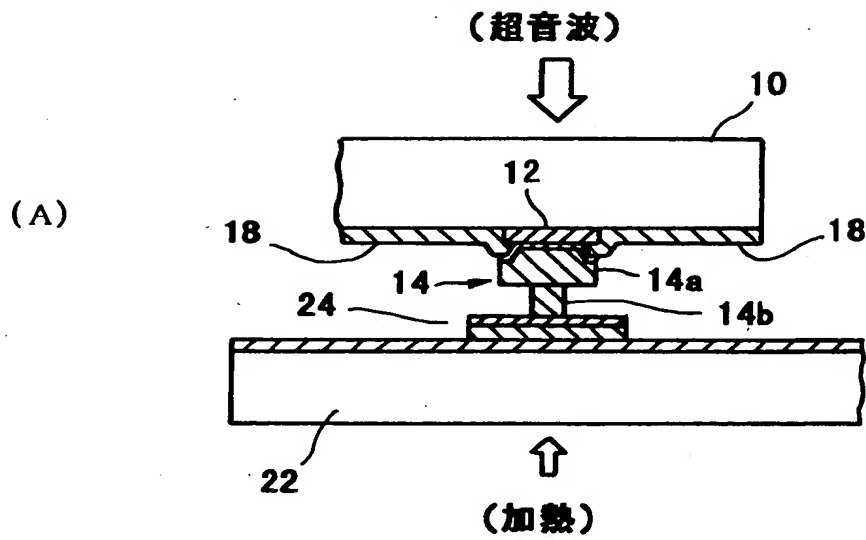
【図1】



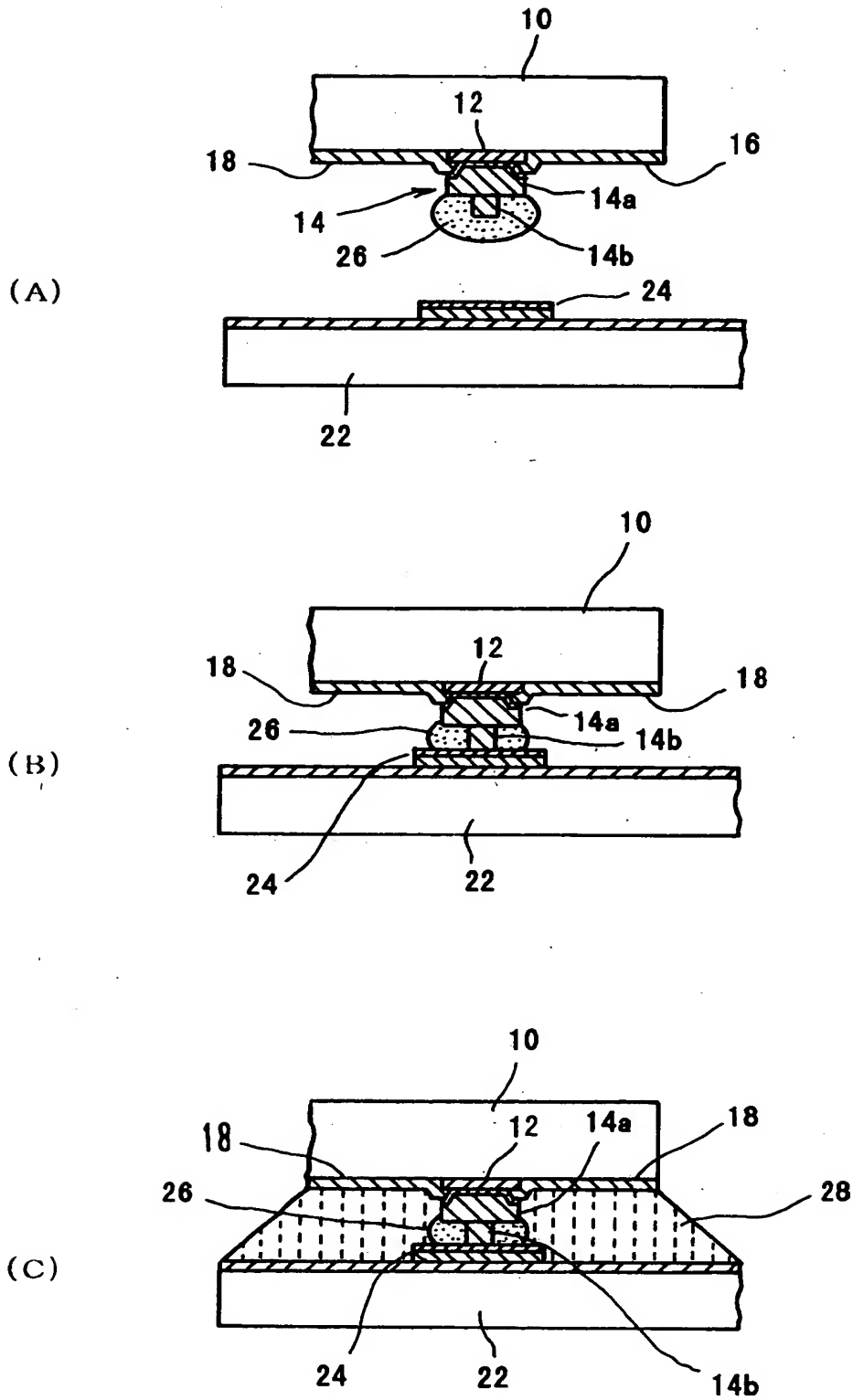
【図2】



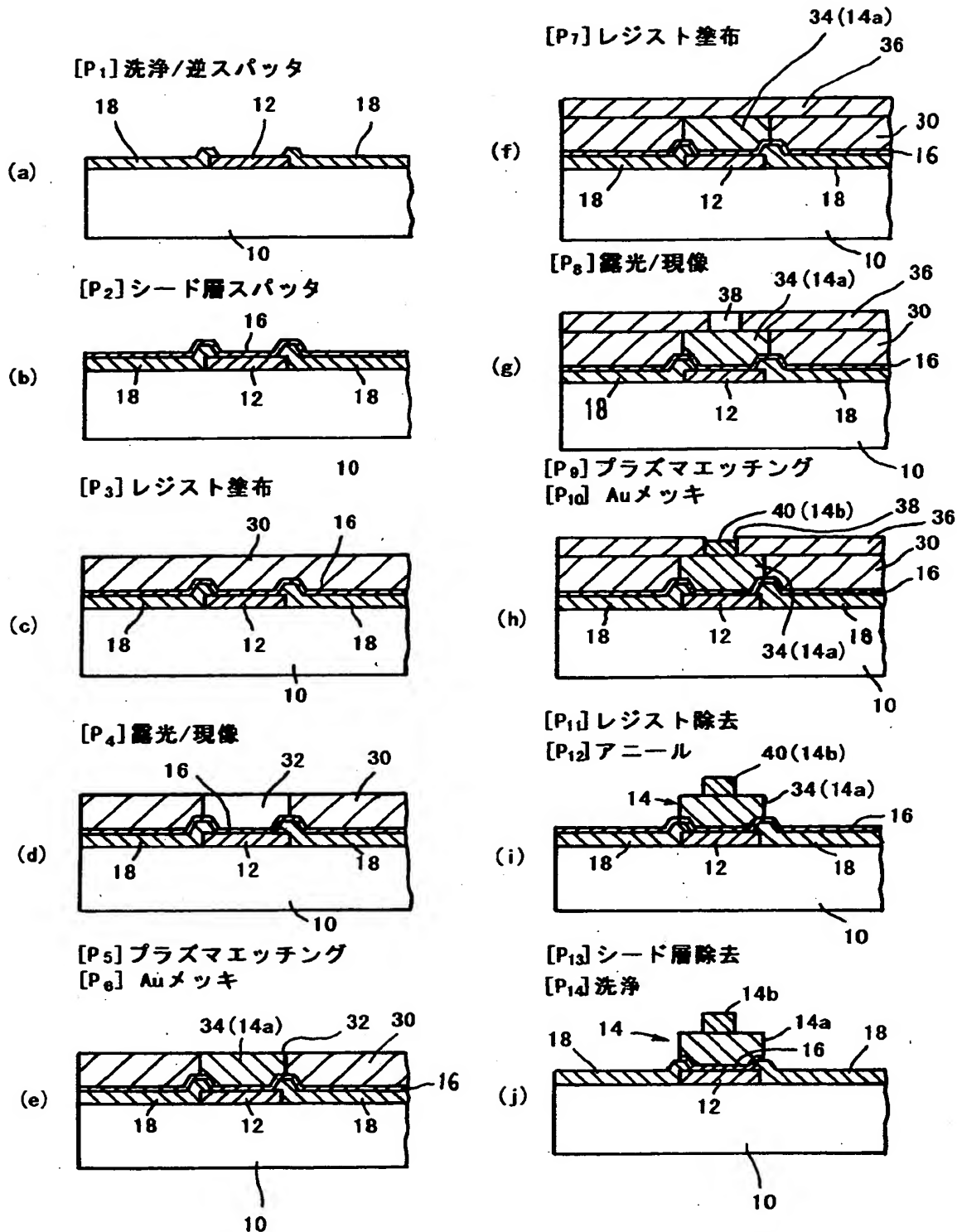
【図3】



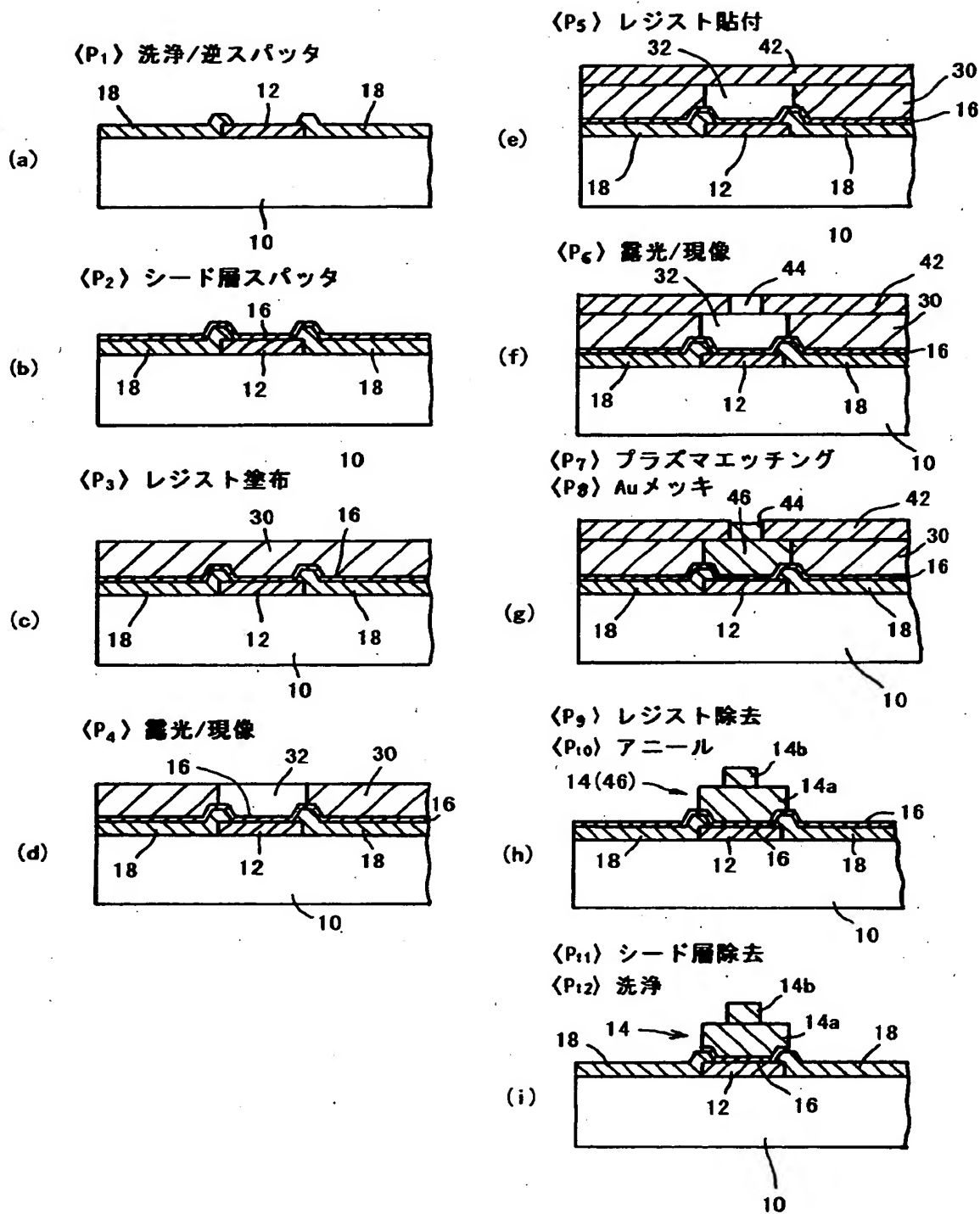
【図4】



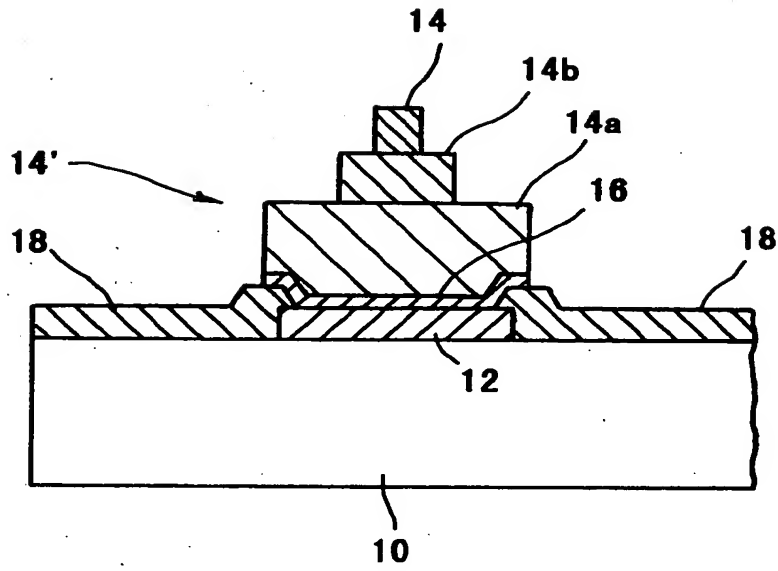
【図5】



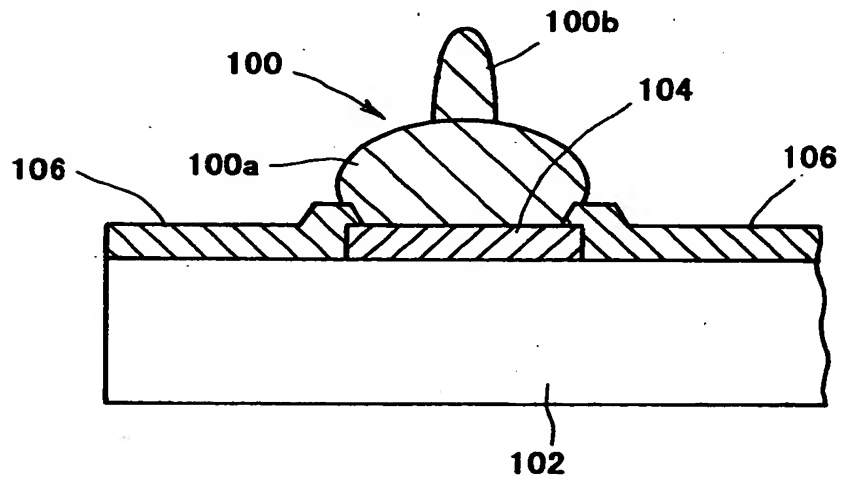
【図6】



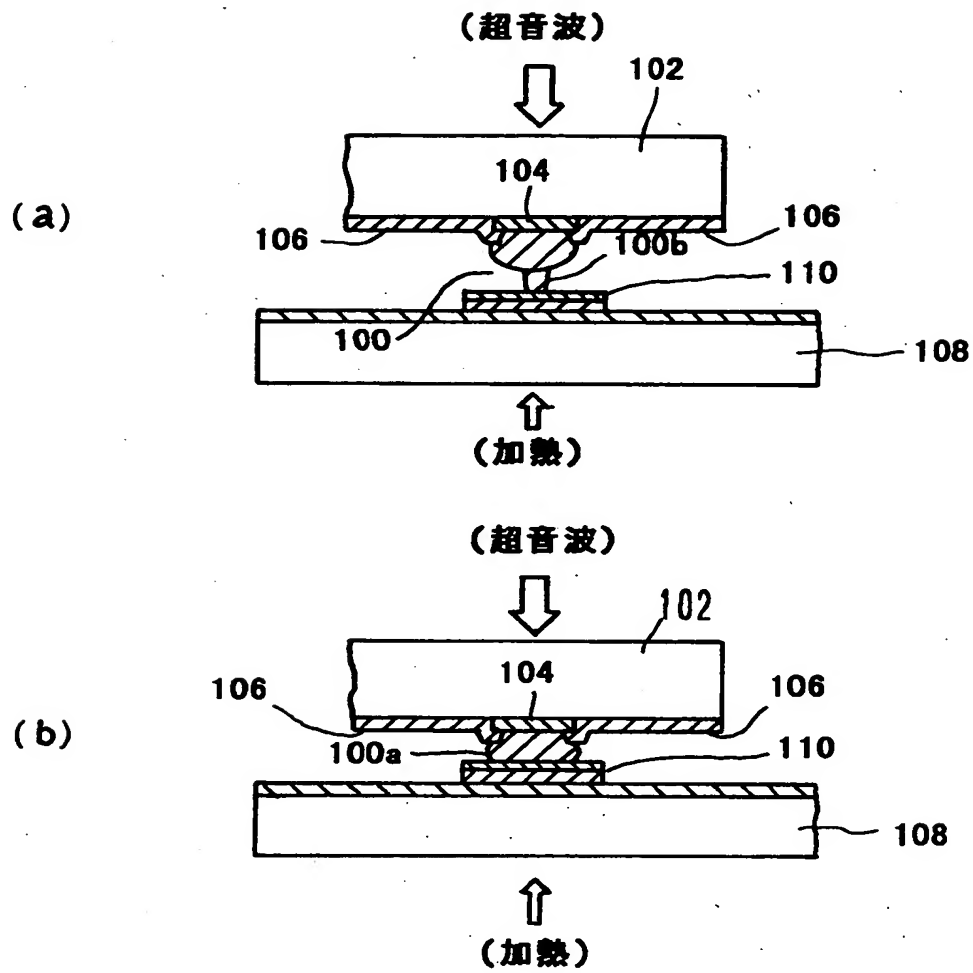
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【課題】 バンプの位置や形状寸法の精度を向上させて高信頼度のフリップチップ実装を実現すること。

【解決手段】 この実施形態の半導体装置では、半導体チップ10の主面上に形成された電極パッド12の上に円柱2段重ね形または断面凸形のバンプ14が設けられる。すなわち、このバンプ14は、円柱状の台座部14aと台座部14aよりも細径の円柱状のテール部14bとからなる。テール部14bの頂面（バンプ頂面）および台座部14aの上面がそれぞれ平坦である。このバンプ14はレジスト（フォトリソグラフィ）技術およびメッキ技術を用いて、たとえば金メッキで形成される。

【選択図】 図1

特2001-061381

認定・付加情報

特許出願の番号	特願2001-061381
受付番号	50100311988
書類名	特許願
担当官	第五担当上席 0094
作成日	平成13年 3月13日

<認定情報・付加情報>

【提出日】	平成13年 3月 6日
-------	-------------

次頁無

出 願 人 履 歴 情 報

識別番号 [390020248]

1. 変更年月日	1999年11月19日
[変更理由]	住所変更
住 所	東京都新宿区西新宿六丁目24番1号
氏 名	日本テキサス・インスツルメンツ株式会社